

SHUSAKU YAMAMOTO

U.S. Patent Application S.N. 09/103,873

(4)

Partial Translation of Japanese Laid-Open Publication

Laid-Open Publication Number: 3-133131

Laid-Open Publication Date: June 6, 1991

Title of the Invention: Semiconductor device

Application Number: 1-272605

Filing Date: October 18, 1989

Inventors: Akira OHISA et al.

Applicant: Mitsubishi Electric Corporation

2. Claim

A semiconductor device, in which a prescribed device structure is formed on a semiconductor substrate and a surface of the device structure is coated with a protective insulating film, wherein the protective insulating film is formed by alternately and repetitively depositing "a silicon oxide film deposited by plasma CVD using a gas mainly containing organic silane and oxygen" having a prescribed thickness and "a silicon oxide film deposited by thermal CVD using a gas mainly containing organic silane and ozone" having a prescribed thickness.

(page (5), upper right column, lines 5 to 18)

Reference numeral 20 represents a protective insulating film formed on a surface section of interest, i.e., an interlayer insulating film 11b on a top layer side, including an interconnection 14. In this example, the protective insulating film 20 is formed by alternately depositing two type of films of "a silicon oxide film deposited by plasma CVD using a gas mainly containing organic silane (THOS) and oxygen (O_2)", i.e., a $TEOS+O_2$ plasma CVD silicon oxide film (hereinafter, referred to also as a "P-TEOS film") 18a - 18d and "a

SHUSAKU YAMAMOTO

U.S. Patent Application S.N. 09/103,873

silicon oxide film deposited by thermal CVD using a gas mainly containing organic silane (THOS) and ozone (O_3)", i.e., a TEOS+ O_3 thermal CVD silicon oxide film (hereinafter, referred to also as a "Th-TEOS film") 19a - 19c.

(page (7), upper right column, line 2 to lower left column, line 9)

As described above in detail, the present invention relates to a semiconductor device, in which a prescribed device structure is formed on a semiconductor substrate and a surface of the device structure is coated with a protective insulating film. The protective insulating film is formed by alternately and repetitively depositing "a silicon oxide film deposited by plasma CVD using a gas mainly containing organic silane and oxygen" having a prescribed thickness, the silicon oxide having a satisfactory durability against cracks although not having a sufficient step coverage; and "a silicon oxide film deposited by thermal CVD using a gas mainly containing organic silane and ozone" having a prescribed thickness, the silicon oxide film having a satisfactory step coverage although having a poor durability against cracks. Accordingly, the property of one silicon oxide film having the satisfactory durability against cracks despite the insufficient step coverage and the property of the other silicon oxide film having the satisfactory step coverage despite the poor durability against cracks, i.e., the advantages and disadvantages of these silicon oxide films are compensated for by each other. Thus, the surface section of the chip which is stepped due to interconnection is covered to be satisfactorily flat. Thus, generation of aluminum slide occurring in each interconnect in a conventional structure is completely eliminated. Furthermore,

SHUSAKU YAMAMOTO

U.S. Patent Application S.N. 09/103,873

the durability against cracks of the protective insulating film is sufficiently improved. Thus, generation of cracks in the protective insulating film occurring in the conventional structure is effectively prevented. As a result, the semiconductor device has excellent properties with satisfactory resistance against moisture and significant improvement in reliability.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-133131

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月6日

H 01 L 21/312

M

6940-5F

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-272605

⑰ 出 願 平1(1989)10月18日

⑱ 発 明 者 大 久 晃 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 原 田 繁 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

半導体基板上に所期通りの素子構成を形成させると共に、素子構成の表面部を保護絶縁膜によって被覆させた半導体装置において、前記保護絶縁膜として、所定の膜厚による『有機シランと酸素を主成分とするガスを用いてプラズマCVD法で堆積させたシリコン酸化膜』と、所定の膜厚による『有機シランとオゾン主成分とするガスを用いて熱CVD法で堆積させたシリコン酸化膜』とを、交互に繰り返して堆積させた膜構成を用いることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置に関し、さらに詳しくは、半導体装置における素子構成表面部を被覆する保護絶縁膜の改良構造に係るものである。

〔従来の技術〕

半導体装置においては、従来からよく知られているように、半導体基板上に所期通りの素子構成を形成させた後、この素子構成自体が外部から浸入する水分とか、あるいは、外部から加えられる慣れのある応力などの外部環境によつて変化したりしないようにするために、通常の場合、素子構成での表面部に対して、いわゆる、保護絶縁膜を被覆させており、さらに、この素子構成を形成させて表面部を保護絶縁膜で被覆した半導体基板を樹脂封止するとか、セラミック・パッケージに収容して使用するようにしているのが一般的な形態である。

ここで、第5図には、例えば、このような樹脂封止型による半導体装置の概要構成を模式的に示してある。

すなわち、この第5図従来例構成において、符号1は半導体基板上に所要の各素子構成をそれぞれに形成させた半導体チップ（以下、単にチップと呼ぶ）であつて、このチップ1での各素子構成の表面部に対しては、保護絶縁膜2を被覆させて

特開平3-133131(2)

ある。また、3 は前記チップ1 を設置固定させるダイパッド部3a、および図示しない外部回路と接続させるための各リード部3bからなるリードフレーム、4 はチップ1 の各電極と各リード部3bとをそれぞれに接続するボンディングワイヤであり、さらに、5 は前記各リード部3bの所要部を含むチップ1 を封止して外部から保護する樹脂封止材である。

しかして、前記従来例による半導体装置でのチップ1 の構造につき、これが、例えば、MOS型ICである場合を例にとつて、次に、第6図を参照して具体的に述べる。

この第6図は前記した第5図従来例装置における破線で囲んだB部該当の詳細構成である。

すなわち、こゝでも、この第6図に示す従来例構成において、6 はシリコン単結晶などからなる半導体基板（以下、単に基板とも呼ぶ）であり、6aはこの基板6 の主面上に拡散形成されたドレイン、6bは同様に形成されたソース、7 は各素子間を電気的に分離する厚いフィールド絶縁膜を示し

化させて全面に薄いシリコン酸化膜を形成させ、また、この薄いシリコン酸化膜上の全面にシリコン窒化膜を所定の膜厚で形成した後、フォトリソグラフィ、およびエッチング技術によつて、このシリコン窒化膜を選択的にパターニング除去し、かつ再度、基板6 を熱酸化させて、除去部分対応に厚いフィールド酸化膜7 を形成させ、かつマスクとしたシリコン窒化膜パターンを除去する（第7図(a)）。

次に、前記基板6 の全面に対して、化学的気相成長法（以下、CVD法と呼ぶ）により、多結晶シリコン膜を所定の膜厚で堆積させ、フォトリソグラフィ、およびエッチング技術によつて、この多結晶シリコン膜を選択的にパターニング除去すると共に、引き続き、下地側の薄いシリコン酸化膜をも同様に除去して、第1ゲート8 を形成する（同図(b)）。

ついで、前記基板1 を再度、熱酸化させて、同基板1 および前記第1ゲート8 上に一部がゲート酸化膜となる薄いシリコン酸化膜9 を形成させた

ている。

また、8 はこれらの上に選択的に形成されてキャパシタ電極となる第1ゲート、9 はこの第1ゲート8 および基板6 上に形成されて一部がゲート酸化膜となる薄いシリコン酸化膜であり、10はこれらの上に選択的に形成されてワードラインとなる第2ゲート、11a、11b はそれぞれに層間絶縁膜である。

さらに、12は前記層間絶縁膜11a に開口されたコンタクト孔13を通しドレイン6aに接続されてビットラインとなるポリシリコン層であり、14は前記層間絶縁膜11b 上にそれぞれ選択的に形成されたアルミニウムによる各配線であつて、この構成の場合、これらの各配線14を含む層間絶縁膜11b 上には、前記したように保護絶縁膜2 を被覆してある。

続いて、前記第6図従来例構成の主要な製造工程を第7図(a)ないし(f)に基づいて順次に説明する。

まず、基板6、この場合は、P型の基板6 を熱酸

後、続いて、CVD法などにより、この薄いシリコン酸化膜9 上の全面に多結晶シリコン膜を所定の膜厚で堆積させ、かつフォトリソグラフィ、およびエッチング技術によつて、この多結晶シリコン膜を選択的にパターニング除去し、基板1 側に1個、第1ゲート8 側に2個、計3個の各第2ゲート10を形成させ、かつこの状態で、N型の不純物、例えば、リン(P)、ヒ素(As)などを選択的にイオン注入することにより、前記基板1 上における第2ゲート10の両側にあつて、ドレイン6a、およびソース6bとなる領域をそれぞれに形成する（同図(c)）。

また次に、CVD法などにより、前記各第2ゲート10を被覆するようにして、前記薄いシリコン酸化膜9 の全面に下層側の層間絶縁膜11a を形成した上で、フォトリソグラフィ、およびエッチング技術により、この層間絶縁膜11a および薄いシリコン酸化膜9 を順次選択的にパターニング除去し、前記ドレイン6aの一部にコンタクト孔13を開孔させて、このドレイン6aの一部を露出させ、つ

特開平3-133131(3)

いで、再度、CVD法などにより、前記コンタクト孔13内を埋めるようにして、層間絶縁膜11a上の全面に多結晶シリコン膜を所定の膜厚で堆積させ、かつフォトリソグラフィ、およびエッチング技術により、この多結晶シリコン膜を選択的にパターンニング除去することで、その一部を前記ドレイン6aに接続させたビットライン12を形成させ、さらに、CVD法などにより、このビットライン12を被覆するように上層側の層間絶縁膜11bを堆積する(同図(d))。

その後、スパッタ法などにより、前記上層側の層間絶縁膜11b上の全面にアルミニウム膜を形成させ、かつフォトリソグラフィ、およびエッチング技術により、このアルミニウム膜を選択的にパターンニング除去して各配線14をそれぞれに形成する(同図(e))。

最後に、熱CVD法、プラズマCVD法などにより、これらの全面を保護絶縁膜2によつて被覆保護する。ここで、この保護絶縁膜2としては、通常の場合、PSG(Phospho Silicate Glass)膜

材5により樹脂封止して所期通りの半導体装置を構成させるのである。

〔発明が解決しようとする課題〕

従来の半導体装置は、以上のようにして構成されており、先にも述べたように、通常の場合、チップ1での各配線14を含む素子表面部全体を保護絶縁膜2により被覆させているが、素子自体の高集積化、微細化の進展に伴ない、現在では、この保護絶縁膜2についても、さらにより一層の高耐湿性、高信頼性が要求されるようになってきている。

ここで、第8図には、前記した第6図従来例装置における保護絶縁膜2の被覆堆積部分であるところの、破線で囲んだA部該当の拡大した詳細構成を示してある。

前記した従来例による半導体装置の製造方法において、例えば、保護絶縁膜2として、熱CVD法によりPSG膜、あるいはシリコン酸化膜をそれぞれに堆積形成させた場合、この保護絶縁膜2には、このときに使用する膜材料の材質、および

とか、あるいはシリコン酸化膜などが用いられている。そして、前者のPSG膜を用いる場合にあっては、熱CVD法によつて、350～450℃程度の処理温度で、反応ガスとしてホスフィン(PH_3)、シラン(SiH_4)および酸素(O_2)の混合ガスにより、この保護絶縁膜2を堆積させて形成し、後者のシリコン酸化膜を用いる場合にあっては、熱CVD法、プラズマCVD法によつて、熱CVD法では400～450℃程度、プラズマCVD法では300～400℃程度の処理温度で、反応ガスとしてシラン(SiH_4)および酸素(O_2)の混合ガス、あるいは、シラン(SiH_4)および亜酸化窒素(N_2O)の混合ガスにより、同様に、この保護絶縁膜2を堆積させて形成するのである(同図(f))。

そして、このように形成させたチップ1については、その後、所定の処理を施した上で、リードフレームのダイパッド部3aに載置固定させると共に、同チップ1の各電極と各リード部3bとをそれぞれボンディングワイヤ4により接続させ、かつ各リード部3bの所要部を含み、これらを樹脂封止

膜形成に適用する製造手段によつて、その膜自体に引張応力が残されることになり、また、プラズマCVD法によりシリコン酸化膜を堆積形成させた場合には、逆に、その膜自体に圧縮応力が残されることになる。

そして、前記保護絶縁膜2として、前者手段での熱CVD法によりPSG膜、あるいはシリコン酸化膜を堆積形成させた場合には、その堆積に際し、層段差底部にあつて、応力が集中され易い鋭角な形状部分15とか、また、平面部にあつて、膜厚の厚い部分16がそれぞれに形成され、かつこれらの各部分15、16に対しては、膜自体の保有する引張応力のためにクラック17a、17bが発生することになり、このクラック17は、ここで保護絶縁膜2の耐湿性、信頼性を大きく低下させる要因となつている。

一方、前記後者手段でのプラズマCVD法によりシリコン酸化膜を堆積形成させた場合には、その膜自体の保有する応力が圧縮性のものであるために、前記した理由によるクラック17a、17bの発

特開平3-133131(4)

生こそは少ないが、チップ1を樹脂封止材5により封止させたときに、その硬化時の収縮応力で同様なクラックが発生することになる。

第9図は、この樹脂硬化時におけるクラック発生の態様を示すもので、同図(a)は前記第5図に対応してこゝでの収縮応力を説明する断面構造であり、同図(b)は同上破線で囲んだB部該当の拡大した詳細構成である。

すなわち、この第9図(a)に見られるように、チップ1を封止する樹脂封止材5における硬化時の収縮応力21は、同チップ1の中心方向に働き、このために、このチップ1の表面部となるB部においては、同図(b)に見られるような方向の内部応力が作用することとなり、各配線14での隅角該当部24がダメージを受けてクラック22を発生し、前記と同様に、こゝでの保護絶縁膜2の耐湿性、信頼性を大きく低下させ、かつこのようにして作用する内部応力がより一層、大きいときには、これらの各配線14の材質が、例えば、アルミニウムの場合であると、いわゆる、アルミスライド23と呼

ばれるところの、配線部自体に変形をきたして、半導体装置の電気的特性を大きく劣化させることになる。

膜として、ステップカバレッジは十分でないがクラック耐性に優れた『有機シランと酸素を主成分とするガスを用いてプラズマCVD法で堆積させたシリコン酸化膜』と、ステップカバレッジは優れているがクラック耐性に乏しい『有機シランとオゾン』を主成分とするガスを用いて熱CVD法で堆積させたシリコン酸化膜』とを、それぞれに所定の膜厚で交互に繰り返して堆積させた膜構成を用いるようにしたものである。

すなわち、この発明は、半導体基板上に所期通りの素子構成を形成させると共に、素子構成の表面部を保護絶縁膜によって被覆させた半導体装置において、前記保護絶縁膜として、所定の膜厚による『有機シランと酸素を主成分とするガスを用いてプラズマCVD法で堆積させたシリコン酸化膜』と、所定の膜厚による『有機シランとオゾン』を主成分とするガスを用いて熱CVD法で堆積させたシリコン酸化膜』とを、交互に繰り返して堆積させた膜構成を用いることを特徴とする半導体装置である。

また、このような保護絶縁膜2に発生するクラック17a, 17b および22と、それに、各配線14に発生するアルミスライド23とは、半導体装置の高密度集積化による微細化、高機能化に伴って、配線形状、構造が複雑化するほど顕著に現われるものであり、この半導体装置における信頼性の面で大きな問題点となつてゐる。

この発明は、従来のこのような問題点を解消するためになされたもので、その目的とするところは、チップ表面部での配線上を、良好なクラック耐性、およびアルミスライド耐性を有する保護絶縁膜で被覆させ得るようにした、この種の半導体装置、こゝでは、保護絶縁膜の改良された構造を提供することである。

〔課題を解決するための手段〕

前記目的を達成するために、この発明に係る半導体装置は、チップの表面部を被覆する保護絶縁

〔作 用〕

従つて、この発明においては、素子構成の表面部を被覆する保護絶縁膜として、ステップカバレッジは十分でないがクラック耐性に優れた所定の膜厚による『有機シランと酸素を主成分とするガスを用いてプラズマCVD法で堆積させたシリコン酸化膜』と、ステップカバレッジは優れているがクラック耐性に乏しい所定の膜厚による『有機シランとオゾン』を主成分とするガスを用いて熱CVD法で堆積させたシリコン酸化膜』とを、交互に繰り返して堆積させて膜構成したので、これらの各膜におけるステップカバレッジは十分でないがクラック耐性に優れた点と、ステップカバレッジは優れているがクラック耐性に乏しい点とが相互に補い合うことになり、これによつて、チップ表面部における各配線での段差部を平坦性よく被覆できると共に、併せて、クラック耐性を良好に改善し得るのである。

〔実 施 例〕

以下、この発明に係る半導体装置の一実施例に

特開平3-133131(5)

つき、第1図ないし第4図を参照して詳細に説明する。

第1図はこの実施例を適用した半導体装置の要部構造を模式的に示す断面図であり、この第1図実施例構成において、前記第5図従来例構成と同一符号は同一または相当部分を示している。

すなわち、この第1図実施例構成においても、符号6はシリコン単結晶などからなる半導体基板であり、6aはこの基板6の主面上に拡散形成されたドレイン、6bは同様に形成されたソース、7は各素子間を電氣的に分離する厚いフィールド絶縁膜である。

また、8はこれらの上に選択的に形成されてキャパシタ電極となる第1ゲート、9はこの第1ゲート8および基板6上に形成されて一部がゲート酸化膜となる薄いシリコン酸化膜であり、10はこれらの上に選択的に形成されてワードラインとなる第2ゲート、11a、11bはそれぞれに層間絶縁膜である。

さらに、12は前記層間絶縁膜11aに開口された

の工程が、前記従来例構成での各配線14を形成するまでの工程、換言すると、前記第7図(a)ないし(e)までの工程と全く同一であり、かつ以下、この従来例方法での工程に引き続いて、この実施例方法の場合には、第2図(a)ないし(f)に示す主要な製造工程を順次に経て製造される。

すなわち、まず、従来例方法での第7図(e)において、前記上層側の層間絶縁膜11b上の全面に各配線14をそれぞれに形成した後(第2図(a))、これらの各配線14を含む上層側の層間絶縁膜11b上にあつて、TEOS〔テトラエトキシ・シラン〕と酸素(O_2)を主成分とするガスを用いてプラズマCVD法により第1層目のP-TEOS膜18aを堆積させる。

こゝで、前記手段により堆積形成されるP-TEOS膜18aについては、一般にクラック耐性に優れているが、一方で、ステップカバレッジが十分でなく、第3図(a)、(b)に示されているように、堆積される膜厚(t_1)を、例えば、2000Å以上にまで余り厚く形成し過ぎると、各配線14の段差部でオー

コンタクト孔13を通しドレイン6aに接続されてビットラインとなるポリシリコン層であり、14は前記層間絶縁膜11b上にそれぞれ選択的に形成されたアルミニウムによる各配線である。

そしてまた、20はこゝでの対象となる表面部、すなわち、前記配線14を含む上層側の層間絶縁膜11b上に形成される保護絶縁膜であつて、この保護絶縁膜20については、この実施例の場合、『有機シラン(THOS)と酸素(O_2)を主成分とするガスを用いてプラズマCVD法で堆積させたシリコン酸化膜』、つまり、TEOS+ O_2 系・プラズマCVD・シリコン酸化膜(以下、P-TEOS膜とも呼ぶ)18aないし18dと、『有機シラン(THOS)とオゾン(O_3)を主成分とするガスを用いて熱CVD法で堆積させたシリコン酸化膜』、つまり、TEOS+ O_3 系・熱CVD・シリコン酸化膜(以下、Th-TEOS膜とも呼ぶ)19aないし19cとの2種類の膜を交互に堆積させて形成したものである。

しかし、この第1図に示す実施例装置における製造方法については、各配線14を形成するまで

バーハング形状25を生ずる惧れがあることから、その膜厚(t_1)が2000Åを越えない程度にすることが必要である(同図(b))。

また今度は、前記第1層目のP-TEOS膜18a上に、TEOSとオゾン(O_3)を主成分とするガスを用いて熱CVD法により第2層目のTh-TEOS膜19aを堆積させる。

こゝでも、前記手段により堆積形成されるTh-TEOS膜19aについては、先に述べたP-TEOS膜18aとは逆に、ステップカバレッジに優れているが、クラック耐性に乏しく、第4図(a)、(b)に示されているように、堆積される膜厚(t_2)を、例えば、2000Å以上に厚くすると、各配線14の段差部で膜自体の収縮応力によつてクラック26を生ずる惧れがあり、このために各配線14の少なくとも頂部では、その膜厚(t_1)を2000Åを越えない程度にすることが必要である(同図(c))。

次に、前記第2層目のTh-TEOS膜19a上にあつて、再度、前記第1層の場合と全く同様に、TEOSと酸素(O_2)を主成分とするガスを用いてプラズマ

特開平3-133131(6)

CVD法により、同様な理由で、膜厚が2000Åを越えない程度の第3層目のP-TEOS膜18bを堆積させる(同図(d))。

さらに、前記第3層目のP-TEOS膜18b上にあって、再度、前記第2層の場合と同様に、TEOSとオゾン(O₃)を主成分とするガスを用いて熱CVD法により、こゝでも膜厚(t₁)を2000Åを越えない程度の第4層目のTh-TEOS膜19bを堆積させる(同図(e))。

続いて、以下、同様の工程を繰り返して、第5層目のP-TEOS膜18c、第6層目のTh-TEOS膜19c、および第7層目のP-TEOS膜18dを順次にそれぞれ堆積させて保護絶縁膜20とし(同図(f))、このようにして、前記各配線14を含む表面部に所期通りの保護絶縁膜20を被覆させたチップ1を形成させるのであり、かつこゝでも、特に図示してはいないが、従来例方法の場合と全く同様に、その後、このチップ1に対して、所定の処理を施した上で、これをリードフレームのダイパッド部に載置固定させると共に、同チップ1の各電極と各リード部

は十分でないがクラック耐性に優れた点と、後者の各膜19aないし19cにおけるステップカバレッジは優れているがクラック耐性に乏しい点とが、相互に補い合うことになり、このチップ1の表面部における各配線14での段差部を平坦性よく被覆できて、従来のような各配線14でのアルミスライド23の発生が解消され、かつ同時に、保護絶縁膜20のクラック耐性を良好に改善できて、こゝでも、従来のような保護絶縁膜2におけるクラック17a、17bおよび22の発生を防止し得るのである。

なお、前記実施例においては、有機シランの一例として、TEOS〔テトラエトキシ・シラン〕を用いる場合について述べたが、他の有機シラン、例えば、Si(OiC₄H₉)₄〔テトライソプロポキシ・シラン〕とか、Si(OCH₃)₄〔テトラメトキシ・シラン〕とか、(tC₄H₉O)₂Si(OOCCH₃)₂〔DAOBS、ジターシャリブトキシシアセトキシ・シラン〕などを用いても、同様な作用、効果が得られる。

また、前記実施例においては、保護絶縁膜20の

とをそれぞれボンディングワイヤにより接続させ、かつ各リード部の所要部を含み、これらを樹脂封止材により樹脂封止して半導体装置を構成させるのである。

従つて、前記のようにして製造されるこの実施例構成のチップ1では、各配線14を含む表面部の全体に対して、ステップカバレッジは十分でないがクラック耐性に優れた『有機シランと酸素を主成分とするガスを用いてプラズマCVD法で堆積させたシリコン酸化膜』、つまり、この場合は、P-TEOS膜18aないし18dと、また、ステップカバレッジは優れているがクラック耐性に乏しい『有機シランとオゾンを主成分とするガスを用いて熱CVD法で堆積させたシリコン酸化膜』、つまり、この場合は、Th-TEOS膜19aないし19cとを、それぞれに2000Åを越えない程度の膜厚で交互に繰り返して堆積させた保護絶縁膜20により被覆させたので、これらの各膜18aないし18d、19aないし19cが有している膜特性、すなわち前者の各膜18aないし18dにおけるステップカバレッジ

最下層と最上層とが、それぞれに『有機シラン+酸素系・プラズマCVD・シリコン酸化膜』、つまり、P-TEOS膜である場合について述べたが、この発明の意図するところは、この保護絶縁膜20として、『有機シラン+酸素系・プラズマCVD・シリコン酸化膜』と、『有機シラン+オゾン系・熱CVD・シリコン酸化膜』、つまり、Th-TEOS膜とを交互に堆積させることであるので、これらの最下層と最上層との何れか一方、あるいは双方が、『有機シラン+オゾン系・熱CVD・シリコン酸化膜』、つまり、Th-TEOS膜であつても差し支えない。

また、前記実施例においては、P-TEOS膜とTh-TEOS膜とを交互に堆積させることによつて、保護絶縁膜20の全体を形成させる場合について述べたが、さらに、耐湿性・モールドでの硬化時における内部応力に対する機械的強度をより一層、向上させるために、この保護絶縁膜20と他の保護絶縁膜、例えば、『シラン(SiH₄)とアンモニア(NH₃)を主成分とするガスを用いてプラズマCVD法で

特開平3-133131(7)

堆積させた膜』とを組み合わせる場合にも、同様な作用、効果が得られる。

また、前記実施例においては、有機シランと酸素、あるいはオゾンのみによるガスを用いることにより保護絶縁膜20を形成させる場合について述べたが、さらに、膜自体のクラック耐性をより一層、向上させる目的で、リン(P)とかボロン(B)などの不純物をシリコン酸化膜中にドーピングさせる手段として、この有機シランと酸素、あるいはオゾンのみによるガスに対し、 $P(OC_2H_5)_3$ 、 $[TM P, \text{トリメチルフォスフォラス}]$ とか、 $B(OC_2H_5)_3$ 、 $[TMB, \text{トリメチルボロン}]$ などを添加させても、同様な作用、効果が得られる。

さらに、前記実施例においては、各配線14の材料がアルミニウムである場合について述べたが、これらの各配線14の材料としては、他の材料、例えば、タングステン(W)、チタン(Ti)、モリブデン(Mo)などの高融点金属とか、これらのシリサイド金属(WSi_2 , $TiSi_2$, $MoSi_2$)など、あるいは多結晶シリコンであつてもよく、同様な作用、効果が得ら

段差部を平坦性よく被覆できて、従来例構造におけるような各配線でのアルミスライドの発生が完全に解消され、かつ同時に併せて、保護絶縁膜のクラック耐性を良好に改善できて、こゝでも、従来例構造におけるような保護絶縁膜でのクラックの発生を効果的に防止し得るのであり、これらの結果、この種の半導体装置における耐湿性、ひいては、信頼性を格段に向上できるなどの優れた特長がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例を適用した半導体装置でのチップ構成の要部構造を模式的に示す断面図、第2図(a)ないし(f)は同上実施例構成における保護絶縁膜の主要な製造工程の概要を順次模式的に示すそれぞれに断面図、第3図(a)、(b)および第4図(a)、(b)は同上保護絶縁膜を構成する各層を所定の膜厚以下に設定する理由を説明するためのそれぞれに要部を拡大して示す断面図である。

また、第5図は従来例による半導体装置の概要

れる。

〔発明の効果〕

以上詳述したように、この発明によれば、半導体基板上に所期通りの素子構成を形成させると共に、素子構成の表面部を保護絶縁膜によつて被覆させた半導体装置において、保護絶縁膜として、ステップカバレッジは十分でないがクラック耐性に優れた所定の膜厚による『有機シランと酸素を主成分とするガスを用いてプラズマCVD法で堆積させたシリコン酸化膜』と、ステップカバレッジは優れているがクラック耐性に乏しい所定の膜厚による『有機シランとオゾンを主成分とするガスを用いて熱CVD法で堆積させたシリコン酸化膜』とを、交互に繰り返して堆積させて膜構成したので、これらの各膜におけるステップカバレッジは十分でないがクラック耐性に優れた点と、ステップカバレッジは優れているがクラック耐性に乏しい点、すなわち、換言すると、これらの各膜のもつ長所と短所とが相互に補い合うことになり、これによつて、チップ表面部における各配線での

構成を模式的に示す断面図、第6図は同上第5図のB部に該当するチップ構成の要部構造を拡大して模式的に示す断面図、第7図(a)ないし(f)は同上従来例による半導体装置でのチップ構成の主要な製造工程の概要を順次模式的に示すそれぞれに断面図、第8図は同上第6図のA部に該当するチップ表面部での保護絶縁膜の要部構造を拡大して模式的に示す断面図、第9図(a)および(b)は同上従来例による半導体装置での保護絶縁膜の問題点を説明するための第5図に対応して示す断面図、および同第9図(a)のB部に該当するチップ表面部での各電極、保護絶縁膜の要部構造を拡大して模式的に示す断面図である。

1 ……各素子構成を形成した半導体チップ、3 ……リードフレーム、3a ……同ダイパッド部、3b ……同リード部、4 ……ボンディングワイヤ、5 ……樹脂封止材、6 ……半導体基板、6a ……同ドレイン、6b ……同ソース、7 ……フィールド絶縁膜、8 ……第1ゲート、9 ……シリコン酸化膜、10 ……第2ゲート、11a, 11b ……層間絶縁膜、12

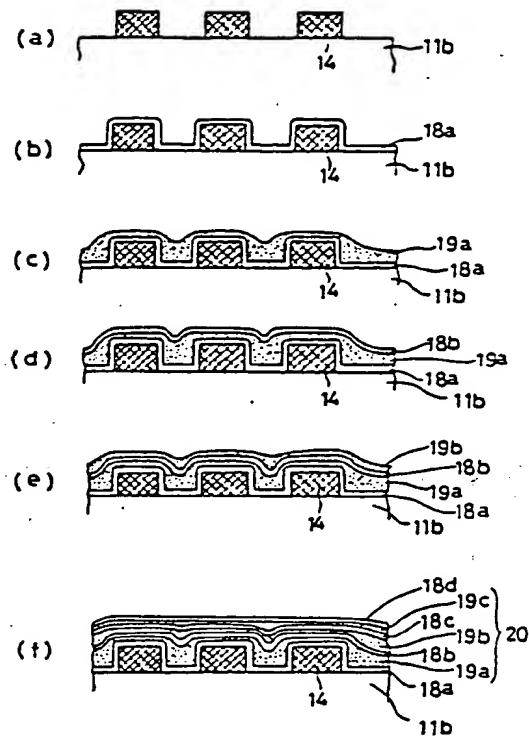
特開平3-133131(8)

…ポリシリコン層、13…コンタクト孔、14…
…配線。

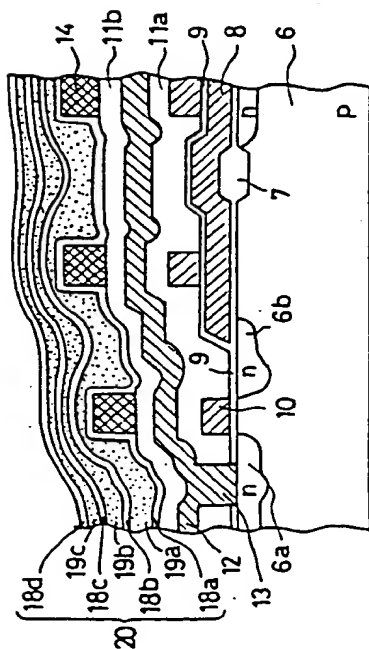
20…保護絶縁膜、18a ないし 18d ……保護絶
縁膜を構成する一方のP-TEOS膜(有機シランと酸
素を主成分とするガスを用いてプラズマCVD法
で堆積させたシリコン酸化膜)、19a ないし 19c
……同他方のTh-TEOS膜(有機シランとオゾン
を主成分とするガスを用いて熱CVD法で堆積させ
たシリコン酸化膜)。

代理人 大 岩 増 雄

第2図



第1図



6: 半導体基板

6a: 同ドレイン

6b: 同ソース

7: フィールド絶縁膜

8: 第1ゲート

9: シリコン酸化膜

10: 第2ゲート

11a, 11b: 層間絶縁膜

12: ポリシリコン層

13: コンタクト孔

14: 配線

20: 保護絶縁膜

18a ないし 18d; P-TEOS膜(有機シランと酸素

を主成分とするガスを用いてプラズマCVD法で

堆積させたシリコン酸化膜)

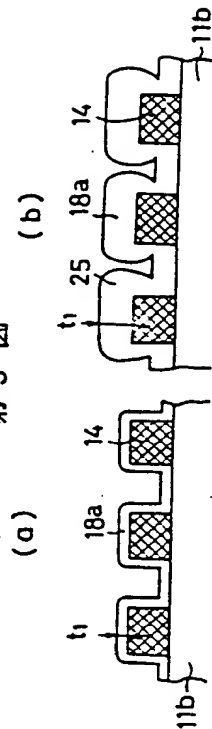
19a ないし 19c; Th-TEOS膜(有機シランとオゾン

を主成分とするガスを用いて熱CVD法で

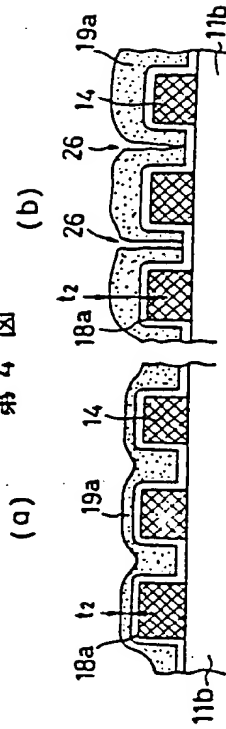
堆積させたシリコン酸化膜)

特開平3-133131(9)

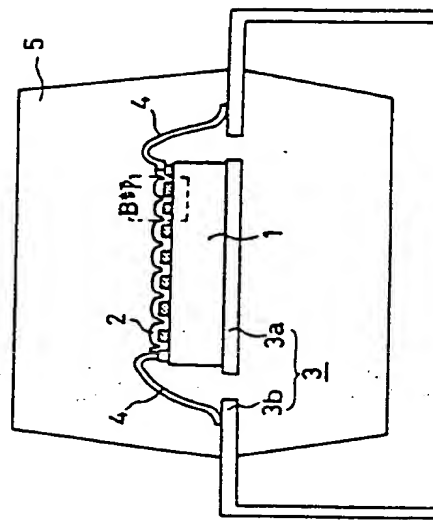
第3図



第4図

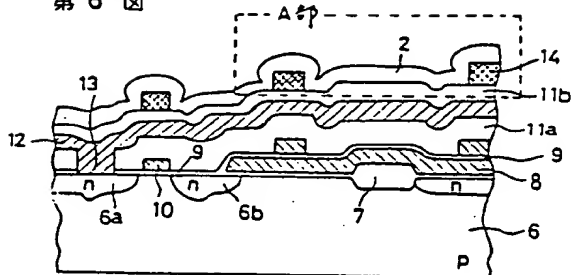


第5図

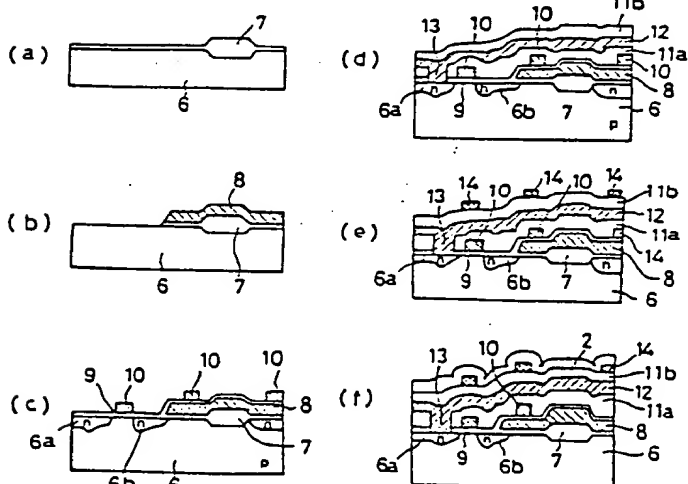


1: 半導体チップ
2: リードフレーム
3a: 同グイット部
3b: 同リット部
4: ポンデインワイヤ
5: 樹脂封止材

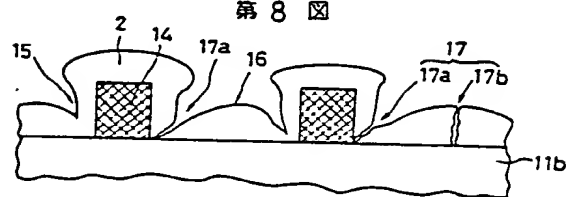
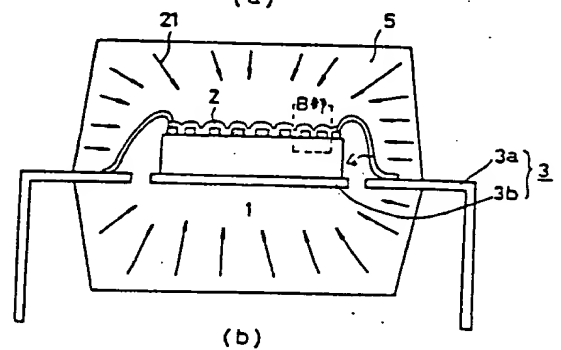
第6図



第7図



第8図

第9図
(a)

(b)

